



TP n°4 : Association des circuits combinatoires

I. But de la manipulation

- Extension et réalisation de quelques circuits combinatoires à l'aide de circuits combinatoires de base.

II. Rappel théorique : (pour plus de détails voir vos cours)

1- Comparateur avec des entrées de mise en cascade

Soit deux nombres à deux bits $A = a_1a_0$ et $B = b_1b_0$, pour comparer les deux nombres : on commence par le MSB :

Si $a_1 > b_1$ alors $A > B$

Si $a_1 < b_1$ alors $A < B$

Par contre si $a_1 = b_1$ alors il faut tenir en compte du résultat de la comparaison des bits du poids faible.

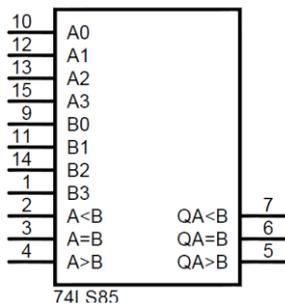
Pour cela on rajoute au comparateur des entrées qui nous indiquent le résultat de la comparaison précédente. Ces entrées sont appelées des entrées de mise en cascade.

Exemple : le comparateur 4 bits 741s85 est un circuit qui permet de faire la comparaison entre deux nombres A et B de 4 bits chacun, A ($a_3a_2a_1a_0$), B ($b_3b_2b_1b_0$)

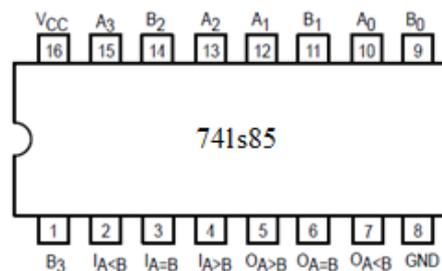
Table de vérité

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ B ₃	A ₂ B ₂	A ₁ B ₁	A ₀ B ₀	I _{A>B}	I _{A<B}	I _{A=B}	O _{A>B}	O _{A<B}	O _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

H : état Haut =1
L : état Bas = 0
X : état indifférent



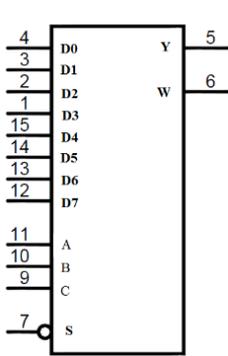
Symbole logique



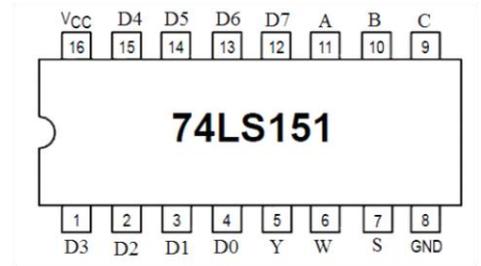
Brochage

I : input (entrée)
O : output (sortie)

2- Multiplexeurs 8 vers 1 (MUX 74151) :



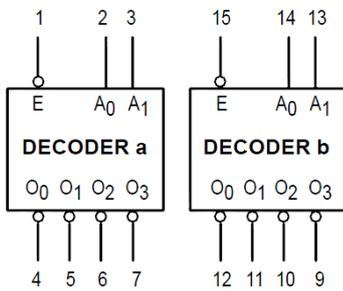
Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$



S : entrée de validation

3- décodeur /démultiplexeur :

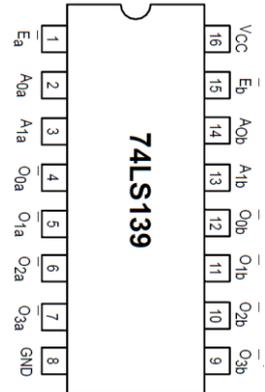
- Le circuit 74LS139 est constitué de deux décodeurs 2 vers 4



INPUTS			OUTPUTS			
\overline{E}	A0	A1	$\overline{O0}$	$\overline{O1}$	$\overline{O2}$	$\overline{O3}$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level

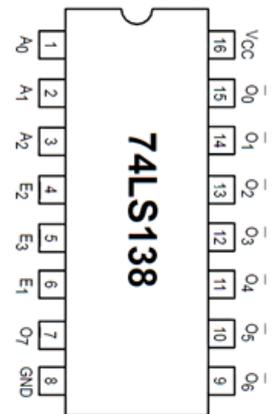
X = Don't Care



E : entrée de validation

Le circuit 74LS138 : décodeurs 3 vers 8

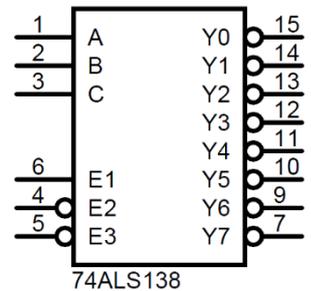
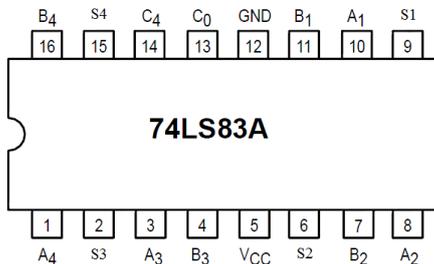
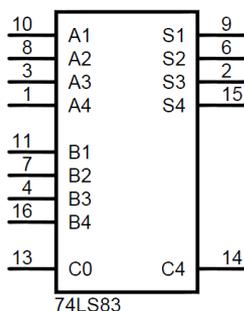
INPUTS						OUTPUTS							
$\overline{E3}$	$\overline{E2}$	$\overline{E1}$	A0	A1	A2	$\overline{O0}$	$\overline{O1}$	$\overline{O2}$	$\overline{O3}$	$\overline{O4}$	$\overline{O5}$	$\overline{O6}$	$\overline{O7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	H	H	L	H	H	L	H	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H	H
L	L	H	H	L	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L



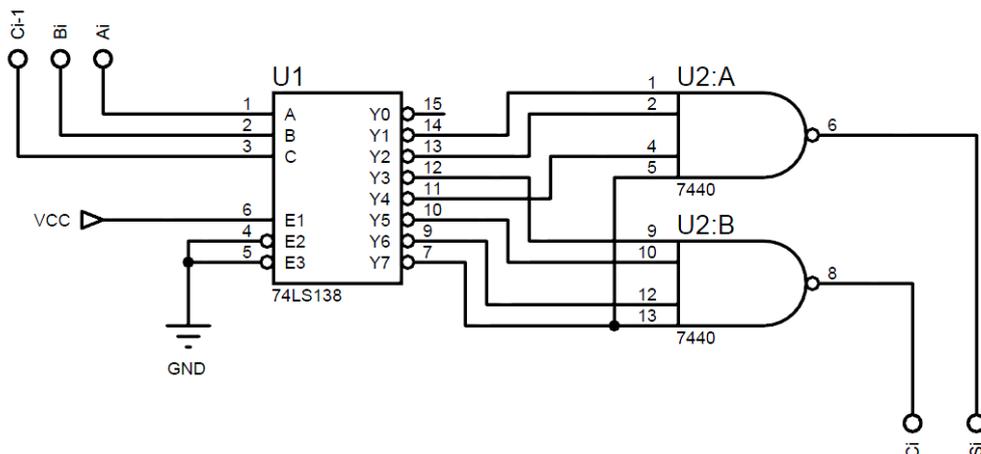
Additionneur complet sur 4bits :

Un additionneur sur 4 bits est un circuit qui permet de faire l'addition de deux nombres A et B de 4 bits chacun – A (a4a3a2a1) – B (b4b3b2b1)

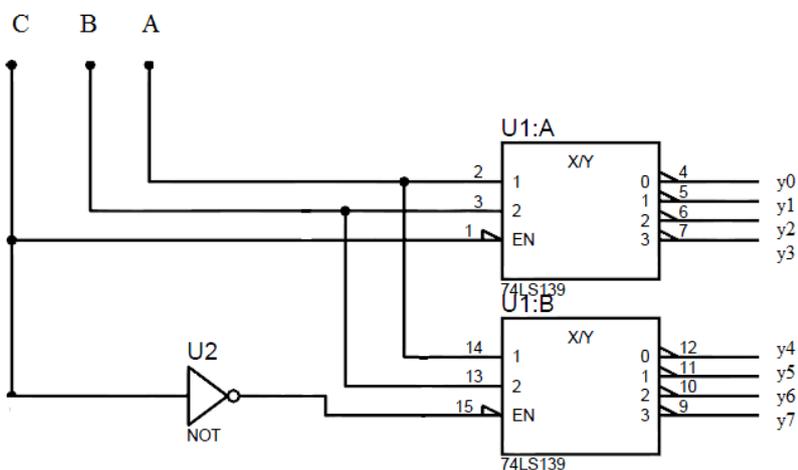
En plus il tient en compte de la retenue entrante



le schéma de câblage d'un additionneur complet (1bits) à l'aide d'un décodeur 3 vers 8 et deux portes logique NAND à 4 entrées :

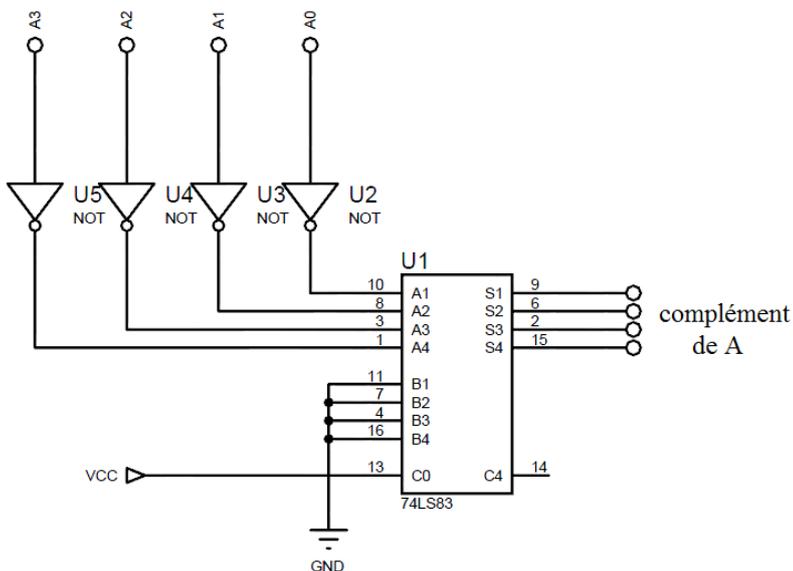


le schéma de câblage d'un décodeur 3 vers 8 à l'aide de deux décodeur 2 vers 4



le schéma de câblage d'un complément à 2 d'un nombre de 4 bits à l'aide d'un additionneur complet à 4 bits et des inverseurs.

NB. Complémenter à 2 un nombre binaire revient à inverser tous ses bits puis ajouter 1 au résultat.





Manipulation :

Additionneur complet (1bit) :

C_{i-1}	A	B	S_i	C_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Décodeur 3 vers 8 (à base de deux décodeur 2 vers 4) :

A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

Complémenteur à 2 :

Dec	B_4	B_3	B_2	B_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				
10	1	0	1	0				
11	1	0	1	1				
12	1	1	0	0				
13	1	1	0	1				
14	1	1	1	0				
15	1	1	1	1				