

Chapitre 1.

Les Réseaux Logiques Programmables : PLD

I.	Introduction		P.1
II.	Caractéristiques d'un PLD		P.3
III.	Les différentes familles de PLD		P.3

I. Introduction

Un circuit logique programmable (en anglais Programmable Logic Device ou PLD) est un dispositif qui peut être configuré par l'utilisateur pour réaliser une fonction logique quelconque. Le circuit logique programmable est réalisé comme un assemblage de matrices programmables de portes AND et OR. Une matrice OR programmable est un ensemble de portes OR dont les entrées sont connectées aux variables du système, vraies et inversées, par le biais d'un réseau de fusibles. Lorsqu'un fusible est brûlé (**détruit**), la connexion respective entre la variable et la porte OR disparaît. La programmation du système se fait en choisissant les fusibles que l'on laisse ou que l'on brûle.

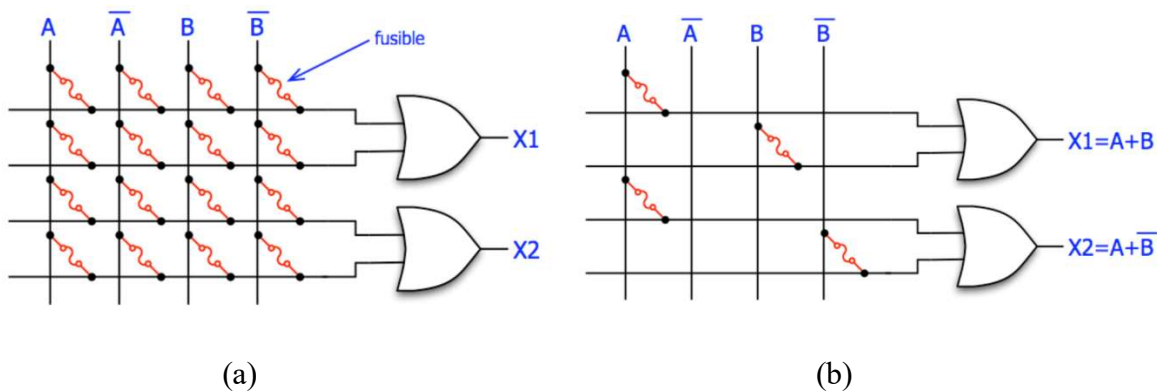


Fig. 1 : Exemple de matrice OR : (a) non programmée. (b) programmée.

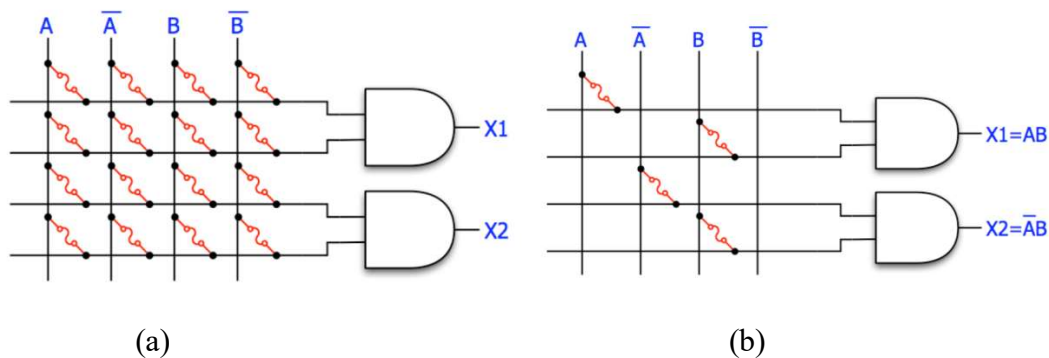


Fig. 2 : Exemple de matrice AND : (a) non programmée. (b) programmée.

Les pluparts des PLD contiennent des ports AND, OR et NOT. Il est courant de dessiner les PALs en simplifiant les connexions, comme illustré par l'exemple suivant.

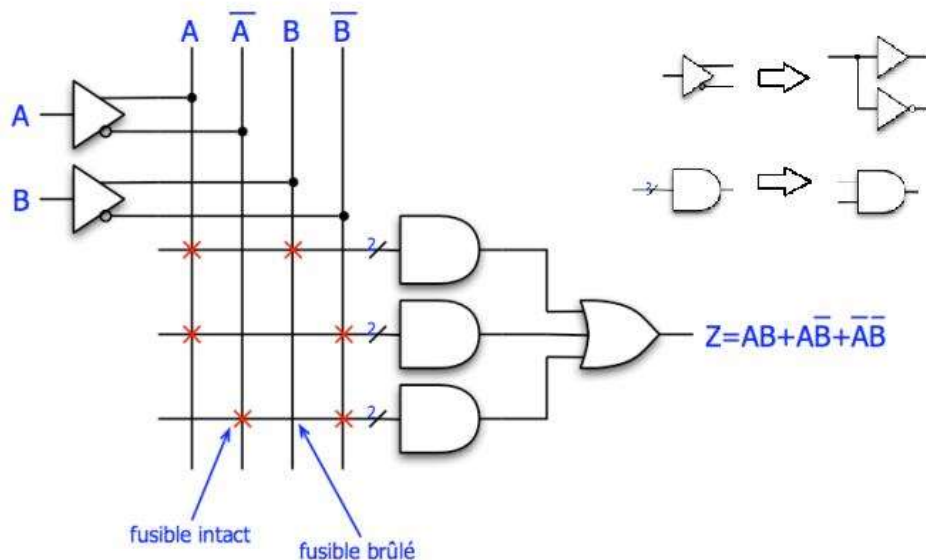


Fig. 3: PAL 2 entrées 1 sortie programmer.

II. Caractéristiques d'un PLD

Un circuit logique programmable est caractérisé par:

- le nombre d'entrées
- le nombre de sorties
- le nombre de termes produits par sortie
- le retard de propagation (vitesse)
- la consommation de puissance
- la technologie

III. Les différentes familles de PLD

La classification des PLDs peut se révéler délicate et difficile, les différences de technologie se doublent de différences d'architectures. La classification suivante n'a que pour objectif de mettre en lumière de grands points de repère. Néanmoins, on peut les classer suivant leurs structures internes à savoir : le nombre d'entrées, de sorties, de connexions programmables et le niveau d'intégration. Le tableau ci-dessous représente certains de ces familles :

Type	Nombre de Porte intégré	Matrice AND	Matrice OR	Effaçable
PAL	10 à 100	Programmable	Fixe	Non
GAL	10 à 100	Programmable	Fixe	Electriquement

EPLD	100 à 3000	Programmable	Fixe	U-V
FPLA	2000 à 3000	Programmable	Programmable	Électriquement
FPGA	Plus de 50.000	Programmable	Programmable	Électriquement

III.1 PAL : La structure de base d'un PLD

Etant donné que toute fonction logique peut être exprimée comme une somme de produits logiques (min termes), la structure de base des premiers circuits programmables est formée par une matrice **AND** suivie d'une matrice **OR** (Fig. 4). L'une des deux matrices, ou les deux, est programmable. Une matrice programmable est un ensemble de portes logiques dont les entrées sont connectées aux variables du système, vraies et inversées, au moyen d'un réseau de fusibles.

Lorsqu'un fusible est brûlé, la connexion respective entre la variable et la porte logique disparaît. La programmation du système se fait en choisissant les fusibles que l'on laisse et que l'on brûle.

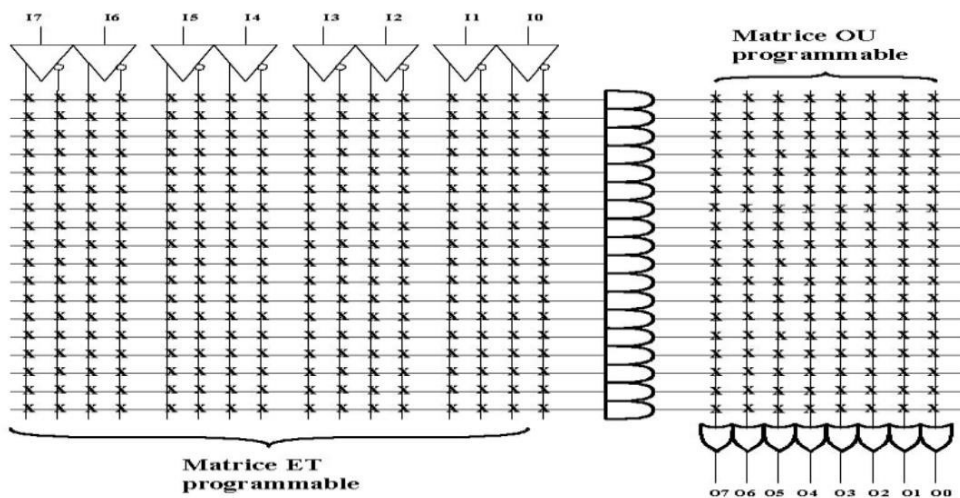


Fig. 5 Circuit PLA programmable des deux portes ET et OU

III.2 Les GALs

L'apparition des GALs a éliminé l'inconvénient majeur des 1^{er} PAL qui sont programmables une seule fois, leurs développements par la société LATTICE à donné naissance aux GAL (Réseau logique générique) qui sont constitué à base des transistors CMOS et ils sont effaçables et programmable électriquement. Ils sont équipés de la macro cellules qui sont programmable et qui permet aussi de remplacer n'importe quel PAL. Etant donné que ces circuits sont constitués de transistors CMOS, leur consommation est beaucoup plus faible que les PAL à fusibles bipolaires. Ils sont aussi plus souples d'utilisation et ils sont dotés d'un bit de sécurité qui peut être activé.

lors de la programmation pour empêchant la lecture du contenu du circuit, et ce bit se remis à zéro seulement en effaçant complètement le GAL.

III.3 Les EPLDs

Les EPLDs c'est des circuits logiques programmables électricité et effaçable, soit par ultraviolets ou électrique, et ils ont été inventés par la firme américaine ALTERA qui les a introduits pour la première fois en 1984. Ces circuits, comme les PAL et les GAL, font appel à la notion de macro-cellule qui permet, par programmation, de réaliser de nombreuses fonctions logiques de base. Ils sont caractérisés par leur densité d'intégration qui est nettement supérieure à celle offerte par les PALs et une vitesse de fonctionnement égale, ou du moins comparable, à celle des PALs bipolaires. En plus de ces deux caractéristiques, les EPLDs possèdent un atout majeur qui réside dans la possibilité d'effacement.

Depuis leurs mises sur le marché en 1984, ALTERA n'a cessé de travailler et de développer son produit et propose maintenant une gamme de produits très diversifiés et offrant, en outre, la possibilité d'effacement électrique. On trouve en effet :

- Les EPLDs à usage général ou EPLD classique de la série EP qui ont pour principale fonction le remplacement de la logique conçue avec un ou plusieurs PAL ou bien encore avec plusieurs dizaines de boîtiers TTL classiques. Ces circuits existent en différentes versions avec boîtiers disposant de 20 à 65 pattes. Leurs délais de propagation typiques sont de l'ordre de 12ns et des versions pouvant fonctionner jusqu'à 100 MHz. Ces circuits ne sont effaçables qu'aux ultraviolets.
- Les EPLDs de la série MAX 5000 qui possèdent les mêmes fonctions que leurs homologues de la série EP mais avec des densités d'intégration plus élevées. En effet, ils permettent d'intégrer des réalisations utilisant de 20 à 25 PAL classiques ou bien encore des centaines de boîtiers TTL ordinaires et une architecture d'interconnexion différente qui est MAX (Multiple Array Matric) ; qui ne sont pas effaçables qu'aux ultraviolets.
- Les EPLDs de la série MAX 7000 qui sont plus récents et plus denses que les MAX 5000. Ces circuits généralisent la méthode d'interconnexion originale employée dans les Max 5000 et apportent, en plus, la possibilité d'effacement électrique.
- Les EPLDs de la série MAX 9000 qui sont encore plus dense et plus riche en terme de possibilités d'interconnexion que les précédents avec un effacement électrique et une programmation en circuit sous une tension unique de 5 volts

III.3 Les CPLD

Ce sont des circuits composés de plusieurs PALs élémentaires reliés entre eux par une zone d'interconnexion (matrice d'interconnexion). Sa physionomie est généralement très structurée. Un certain nombre de macro- cellules de base sont regroupées pour former des blocs logiques. Grâce à leurs structures, ils peuvent atteindre des vitesses de fonctionnement élevées (plusieurs centaines de MHz). Ces circuits ont une capacité en nombre de portes et en possibilités de configuration très supérieure à celle des PALs.

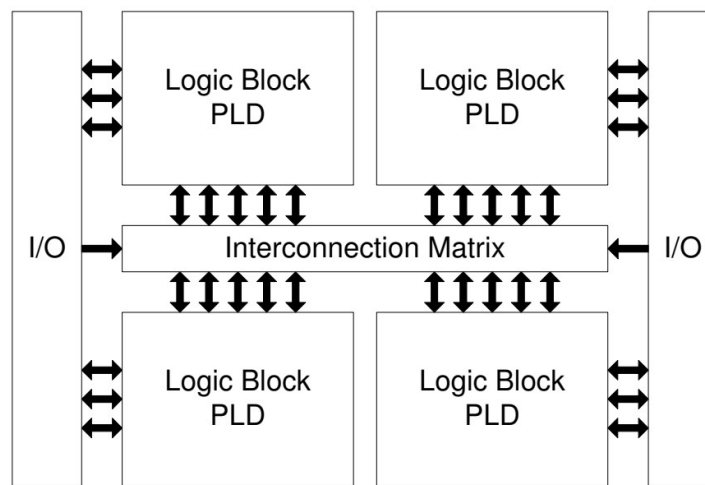


Figure 2 : physionomie d'un CPLD

III.4 Les FPGA

Les FPGA ((Field programmable gate arrays) à la différence des CPLDs sont assimilables à des ASIC. (Application Specific Integrated Circuit) programmables par l'utilisateur. La puissance de ces circuits est telle qu'ils peuvent être composés de plusieurs milliers de portes logiques et de bascules élémentaires qui peuvent être interconnectés. Les dernières générations de FPGA intègrent même de la mémoire vive (RAM), des micro processeur (power PC IBM, NIOS), des blocks DSP. Les deux plus grands constructeurs des FPGA sont XILINX et ALTERA (Chap 03)