

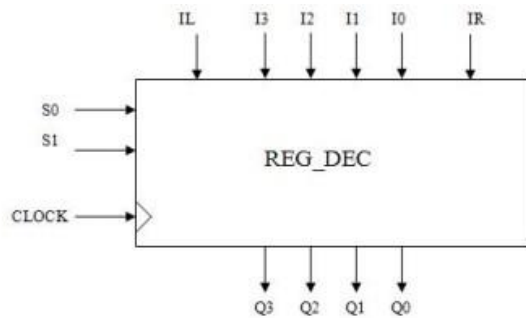
TD N° 3 VHDL l'instruction séquentielle

Exercice 1 :

Décrivez l'entité et l'architecture d'un Compteur 4 bits mise à un SET et mise à zéro RESET synchrone et l'entité et l'architecture d'un asynchrone.

Exercice 2 :

Le circuit d'un registre à décalage synchrone (front montant) est donné sur la figure suivante :



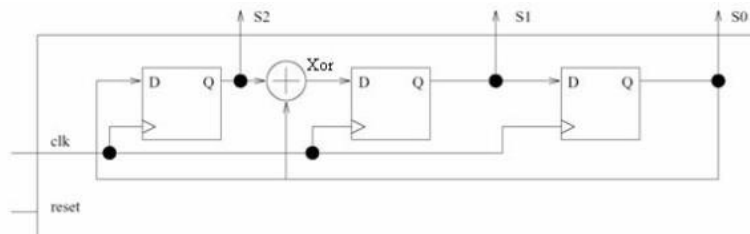
- 4 entrées/4 sorties
- 1 entrée horloge
- 2 entrées de sélection qui permettent de choisir le mode :

S0	S1	Fonction réalisée après le top horloge	Opération
0	0	$Q[3..0] \leq Q[3..0]$	Pas de changement
0	1	$Q[3..0] \leq I[3..0]$	Chargement parallèle
1	0	$Q[3..1] \leq Q[2..0], Q[0] \leq IR$	Décalage à gauche avec IR
1	1	$Q[3] \leq IL, Q[2..0] \leq Q[3..1]$	Décalage à droite avec IL

- 1) Ecrire l'entité qui décrit la vue externe de ce registre.
- 2) Donner une architecture comportementale (tableau ci-dessus) en utilisant un process. Dans le process, vous pouvez utiliser l'instruction if.... Then.....elsif et l'instruction for.....loop.

Exercice 3 :

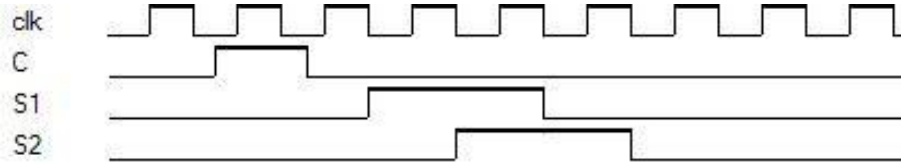
Registres à décalage à rétroaction linéaire, on souhaite utiliser le registre à décalage à rétroaction linéaire (normalement employé pour générer des bits aléatoires) suivant pour réaliser un compteur:



Ecrivez une description comportementale en VHDL (entité et architecture) qui réalise ce circuit.

Exercice 4:

Le système à concevoir dispose de deux entrées et de deux sorties. Les entrées sont l'horloge clk et la commande C ; les sorties sont S1 et S2. Les entrées et les sorties sont de type std_logic sauf C est de type bit. Le système est actif sur front descendant. Le système répond au chronogramme suivant :



Donner la description en langage VHDL (Entity et Architecture) de ce système en utilisant un process. Dans le process, utiliser l'instruction case is when, et l'instruction if then else.

Exercice 5 :

Ecrire l'ensemble d'un fichier VHDL (Library, Entity, Architecture) qui décrit un décodeur binaire / 7 segments fig. 1, en utilisant l'instruction case.

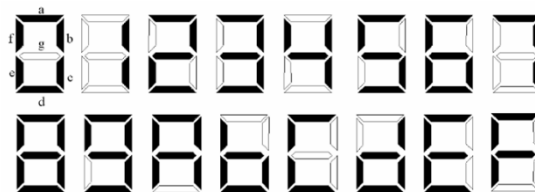
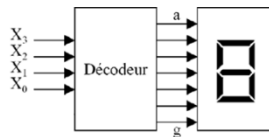


Fig. 1 Décodeur de type Hex avec afficheur 7 Segments