

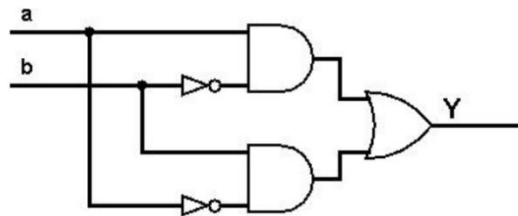
## TD 01 : Langage VHDL/FPGA

### Instructions concurrentes Logique combinatoire

#### (and ,or ,not ,nor ,xor, nand)

#### **Exercice 1:**

Soit la fonction logique Y réalisée par le logigramme suivant :



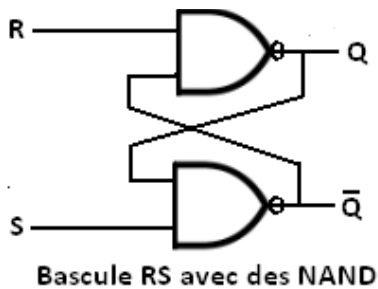
1. Ecrire l'équation de cette fonction logique.
2. Implémenté le circuit logique avec VHDL en utilisant une architecture flot de données par utilisation l'opération logique.

#### **Exercice 2:**

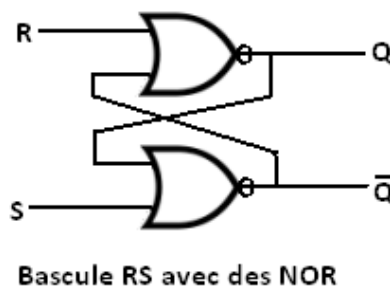
Donner la table de vérité d'un circuit demi-additionneur  
Ecrire l'entité et l'architecture de ce modèle.

#### **Exercice 3:**

Ecrire l'entité et l'architecture d'un bascule RS avec des ports NAND et des ports NOR



Bascule RS avec des NAND



Bascule RS avec des NOR

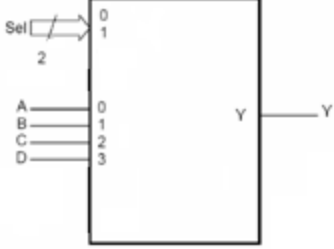
#### **Exercice 4:**

A . Donner la table de vérité du décodeur 2-4

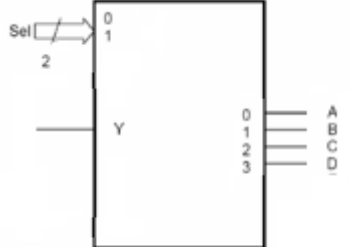
écrire son code VHDL en utilisant :

L'affectation concurrentielle (utilisation de la fonction canonique)

### Exercice 5 :

 <p>(a)</p>	<p>Ecrire le code VHDL d'un multiplexeur Mux 4 vers 1 en utilisant : L'affectation concurrente.</p>
--	---

### Exercice 6 :

 <p>(a)</p>	<p>Ecrire le code VHDL d'un démultiplexeur DMux 1 vers 4 en utilisant : L'affectation concurrente.</p>
--	--