

Le registre de contrôle TCCR0A

Bit	7	6	5	4	3	2	1	0	
	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre de contrôle TCCR0B

Bit	7	6	5	4	3	2	1	0	
	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre du timer/counter0

Bit	7	6	5	4	3	2	1	0	
	TCNT0[7:0]								TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre de sortie de comparaison A

Bit	7	6	5	4	3	2	1	0	
	OCR0A[7:0]								OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre de sortie de comparaison B

Bit	7	6	5	4	3	2	1	0	
	OCR0B[7:0]								OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre des indicateurs d'interruption

Bit	7	6	5	4	3	2	1	0	
	TOV1	OCF1A	OCF1B	–	ICF1	OCF0B	TOV0	OCF0A	TIFR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Le registre des masques d'interruption

Bit	7	6	5	4	3	2	1	0	
	TOIE1	OCIE1A	OCIE1B	–	ICIE1	OCIE0B	TOIE0	OCIE0A	TIMSK
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figure 3. Les registres du timer/counter0.

Tableau 2

Mode	WGM2	WGM1	WGM0	Timer/Counter Mode of Operation	TOP	Update of OCRx at	TOV Flag Set on ⁽¹⁾⁽²⁾
0	0	0	0	Normal	0xFF	Immediate	MAX
1	0	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	0	1	0	CTC	OCRA	Immediate	MAX
3	0	1	1	Fast PWM	0xFF	TOP	MAX
4	1	0	0	Reserved	–	–	–
5	1	0	1	PWM, Phase Correct	OCRA	TOP	BOTTOM
6	1	1	0	Reserved	–	–	–
7	1	1	1	Fast PWM	OCRA	TOP	TOP

Notes: 1. MAX = 0xFF
2. BOTTOM = 0x00

Tableau 3. Fonctionnalités des bits COM0A0-1 dans les différentes modes d'opération du timer/counter0

Mode d'opération	COM0A1	COM0A0	Description
Mode normal et CTC	0	0	OC0A déconnectée (opération du port normale)
	0	1	Inverser OC0A sur Compare Match
	1	0	Mise à 0 de OC0A sur Compare Match
	1	1	Mise à 1 de OC0A sur Compare Match
Mode Fast PWM	0	0	OC0A déconnectée (opération du port normale)
	0	1	- WGM02 = 0: OC0A déconnectée (opération du port normale). - WGM02 = 1: Inverser OC0A sur Compare Match
	1	0	- Mise à 0 de OC0A sur Compare Match - Mise à 1 de OC0A sur TOP
	1	1	- Mise à 1 de OC0A sur Compare Match - Mise à 0 de OC0A sur TOP
Mode Phase correct PWM	0	0	OC0A déconnectée (opération du port normale)
	0	1	- WGM02 = 0: OC0A déconnectée (opération du port normale). - WGM02 = 1: Inverser OC0A sur Compare Match
	1	0	- Mise à 0 de OC0B sur Compare Match lors d'un comptage. - Mise à 1 de OC0B sur Compare Match lors d'un décomptage.
	1	1	- Mise à 1 de OC0B sur Compare Match lors du comptage. - Mise à 0 de OC0B sur Compare Match lors de décomptage.

Tableau 4. Fonctionnalités des bits COM0B0-1 dans les différentes modes d'opération du timer/counter0

Mode d'opération	COM0B1	COM0B0	Description
Mode normal et CTC	0	0	OC0B déconnectée (opération du port normale)
	0	1	Inverser OC0B sur Compare Match
	1	0	Mise à 0 de OC0B sur Compare Match
	1	1	Mise à 1 de OC0B sur Compare Match
Mode Fast PWM	0	0	OC0B déconnectée (opération du port normale)
	0	1	Réservée
	1	0	- Mise à 0 de OC0B sur Compare Match - Mise à 1 de OC0B sur TOP
	1	1	- Mise à 1 de OC0B sur Compare Match - Mise à 0 de OC0B sur TOP
Mode Phase correct PWM	0	0	OC0B déconnectée (opération du port normale)
	0	1	Réservée
	1	0	- Mise à 0 de OC0B sur Compare Match lors d'un comptage. - Mise à 1 de OC0B sur Compare Match lors d'un décomptage.
	1	1	- Mise à 1 de OC0B sur Compare Match lors du comptage. - Mise à 0 de OC0B sur Compare Match lors de décomptage.

Tableau 1

CS02	CS01	CS00	Description
0	0	0	Arrêter le timer/counter0
0	0	1	$clk_{T0} = CK$ (Pas de division)
0	1	0	$clk_{T0} = CK/8$ (Division par 8)
0	1	1	$clk_{T0} = CK/64$ (Division par 64)
1	0	0	$clk_{T0} = CK/256$ (Division par 256)
1	0	1	$clk_{T0} = CK/1024$ (Division par 1024)
1	1	0	$clk_{T0} = T0$ (Le timer0 est synchroniser sur front descendant)
1	1	1	$clk_{T0} = T0$ (Le timer0 est synchroniser sur front montant)

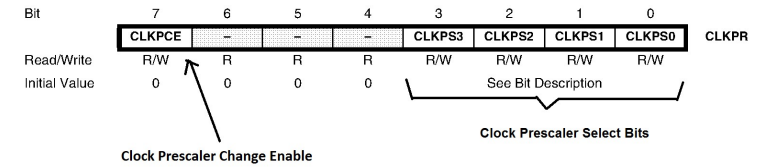


Figure 8. Clock prescale register

Tableau 5 La sélection du facteur de division du signal horloge provenant d'un oscillateur à quartz

CLKPS3	CLKPS2	CLKPS1	CLKPS0	Clock Division Factor
0	0	0	0	1
0	0	0	1	2
0	0	1	0	4
0	0	1	1	8
0	1	0	0	16
0	1	0	1	32
0	1	1	0	64
0	1	1	1	128
1	0	0	0	256
1	0	0	1	Reserved
1	0	1	0	Reserved
1	0	1	1	Reserved
1	1	0	0	Reserved
1	1	0	1	Reserved
1	1	1	0	Reserved
1	1	1	1	Reserved