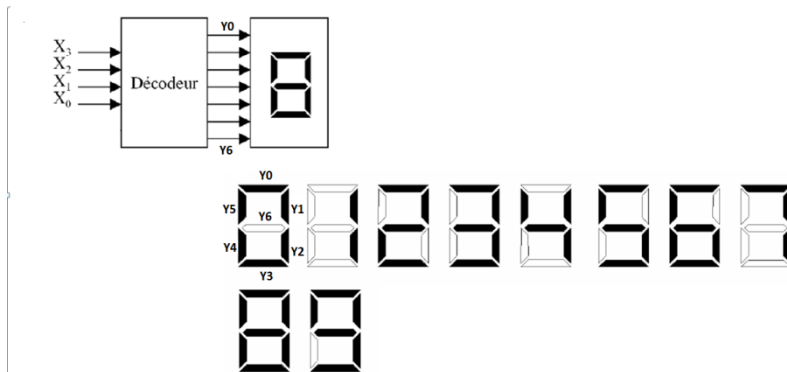


TD 02 : Langage VHDL Instruction concurrente

Exercice 7:

Ecrire le code VHDL d'un décodeur BCD-7 segment en utilisant l'affectation sélective.



Exercice 8 :

On veut modéliser un circuit permettant de comparer 2 bus de données de 8 bits, A et B, et de générer 3 signaux de sortie :

- EQUA si les données sur les deux bus sont égales,
- SUPE si la donnée du bus A est supérieure à la donnée du bus B,
- INFE si la donnée du bus A est inférieure à la donnée du bus B,

A et B sont des entrées du type `std_logic_vecteur`;

EQUA, SUPE, INFE sont des sorties de type `std_logic` ;

Ecrire l'entité de ce comparateur de 8 bits et coder l'architecture de ce modèle.

Exercice 9 :

Détecteur de parité. On souhaite modéliser un détecteur de parité pour des mots de 4 bits par une description VHDL qui est composée de 2 parties :

- Interface (entité) :

Signal d'entrée (mode in) : DIN (données de type `bit_vector` 4 bits)

Signaux de sortie (mode out): ODP (parité impaire de type `bit`), EVP (parité paire de type `bit`)

- Comportement (architecture) :

ODP= '1' si le nombre de '1' dans DIN est impaire, sinon ODP= '0'

EVP= '1' si le nombre de '1' dans DIN est pair, sinon EVP= '0'

Programmer le comportement avec l'instruction d'assignation sélective (`with.... Select`).