**Université Mohammed Khider de Biskra**



**Faculté des Sciences et de la Technologie 2éme Licence**

**Module : TP Logique**

**TP n°4 : Association des circuits combinatoires**

1. **But de la manipulation**

* Extension et réalisation de quelques circuits combinatoires à l’aide de circuits combinatoires de base.

1. **Rappel théorique :** (pour plus de détail voir vos cours)
2. **Comparateur avec des entrées de mise en cascade**

Soit deux nombres à deux bits A= a1a0et B= b1b0, pour comparer les deux nombres : on commence par le MSB :

Si a1 > b1 alors A > B

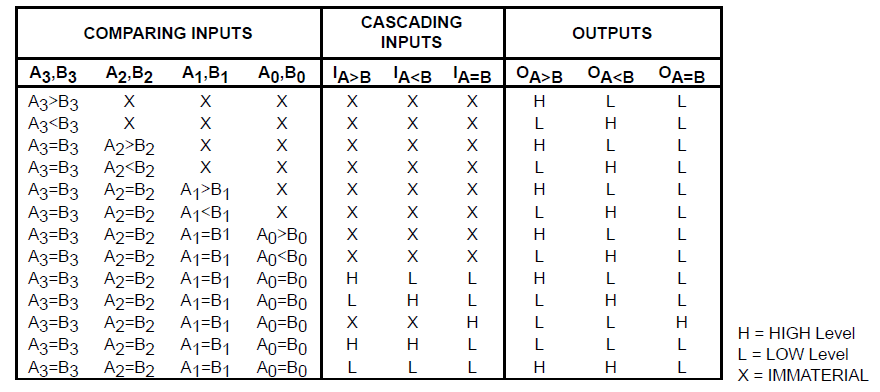
Si a1< b1 alors A < B

Par contre si a1= b1 alors il faut tenir en compte du résultat de la comparaison des bits du poids faible.

Pour cela on rajoute au comparateur des entrées qui nous indiquent le résultat de la comparaison précédente. Ces entrées sont appelées des entrées de mise en cascade.

**Exemple :** le comparateur 4 bits 74ls85 est un circuit qui permet de faire la comparaison entre deux nombres A et B de 4 bits chacun – A (a3a2a1a0) – B (b3b2b1b0)

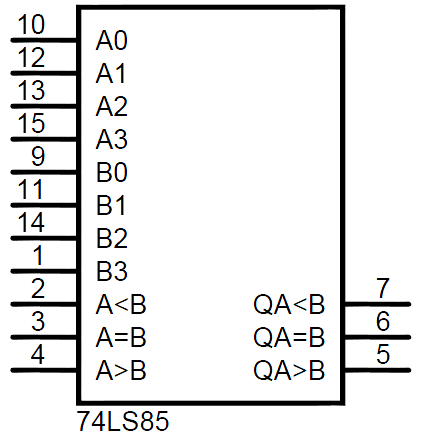
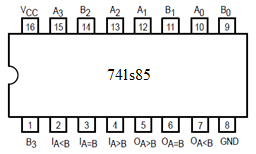
**Table de vérité**



H : état Haut =1

L : état Bas = 0

X : état indifférant

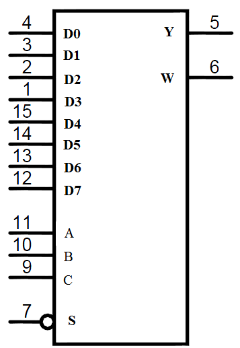
 

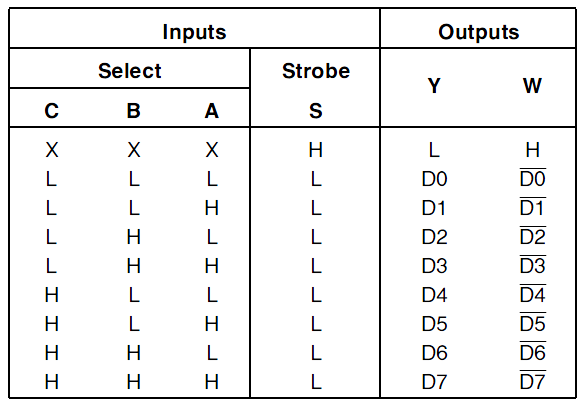
I : input (entrée)

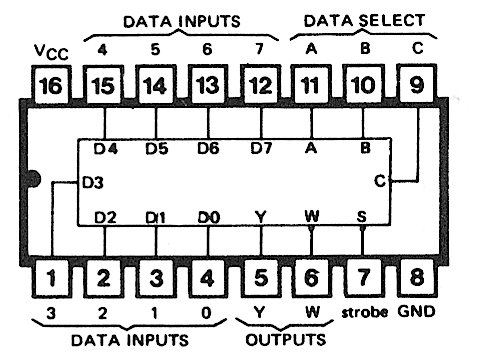
O : output (sortie)

Symbole logique Brochage

1. **Multiplexeurs 8 vers 1 (MUX 74151) :**

** Table de vérité**



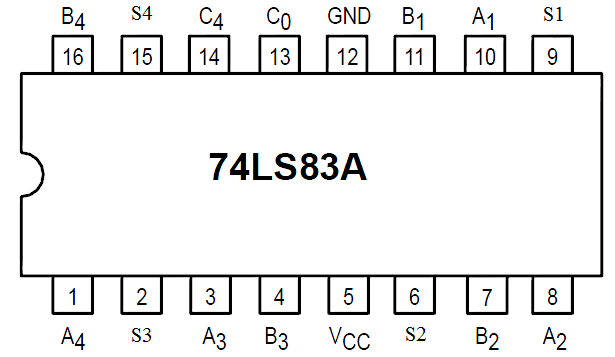
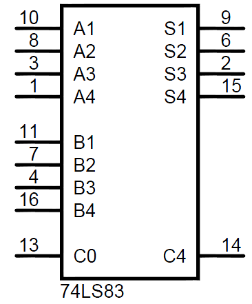


S : entrée de validation

1. **Additionneur complet sur 4bits :**

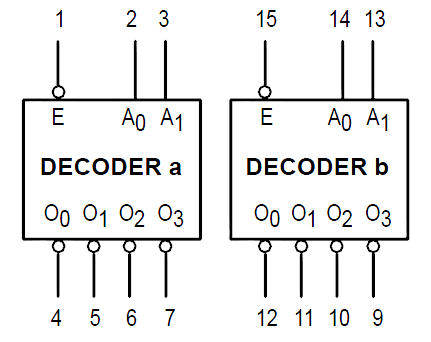
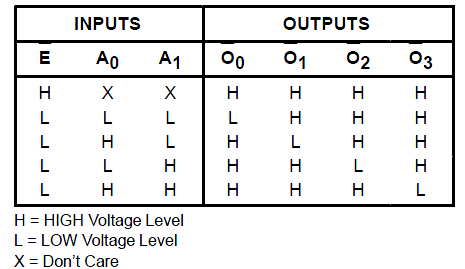
Un additionneur sur 4 bits est un circuit qui permet de faire l’addition de deux nombres A et B de 4 bits chacun – A (a4a3a2a1) – B (b4b3b2b1)

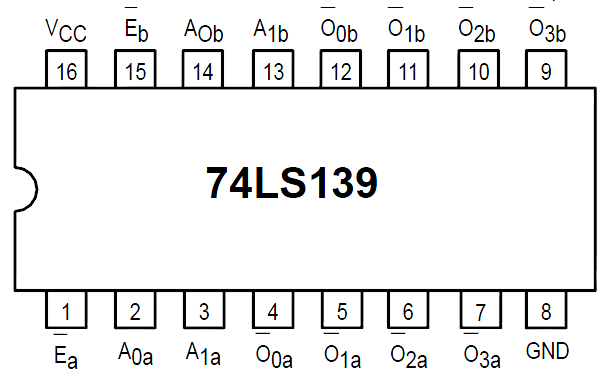
En plus il tient en compte de la retenu entrante



1. **décodeur /démultiplexeur 1 vers 4 :**

* Le circuit 74LS139 constitue de deux décodeurs 2 vers 4





E : entrée de validation

**Université Mohammed Khider de Biskra**



**Faculté des Sciences et de la Technologie**

**Nom et prénom du Grp N°….. :**

**1. ………………………………..**

**2. ………………………………..**

**3. ………………………………..**

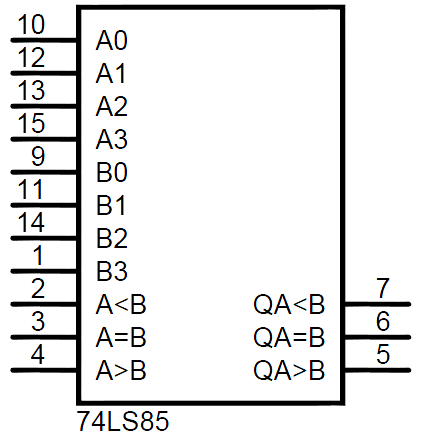
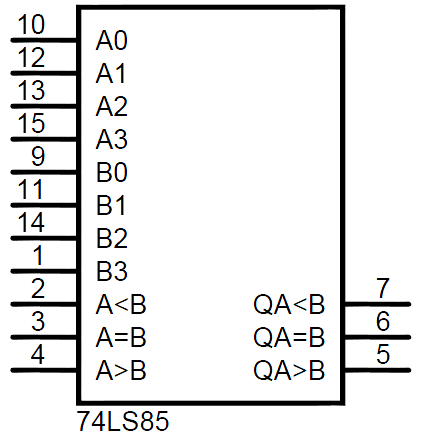
**4. ………………………………..**

**5. …………………………….….**

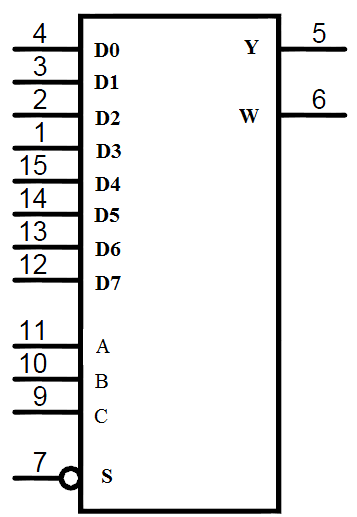
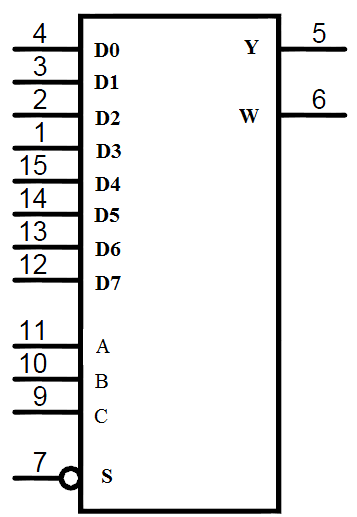
**2éme Licence tronc commun**

**Module : TP Logique**

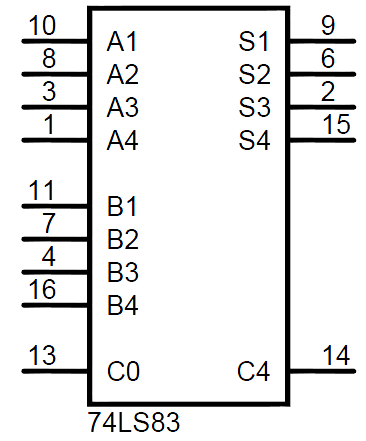
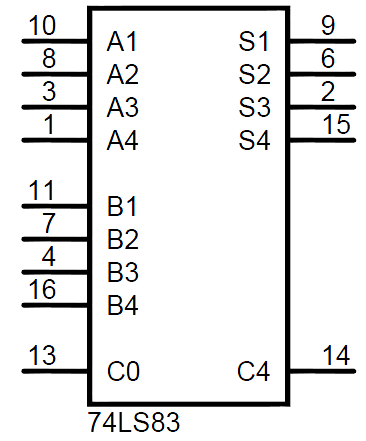
1. **Travail de préparation : (très important)**
2. Donnez le schéma de câblage d’un comparateur 8 bits à l’aide de deux comparateurs 74ls85



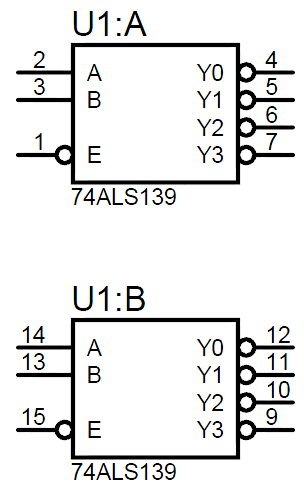
1. Donnez le schéma de câblage d’un additionneur complet (1bit) à l’aide de deux multiplexeurs (MUX 74151)

****

1. Donnez le schéma de câblage d’un additionneur complet (8bits) à l’aide d’additionneur complet (4bits)



1. Donnez le schéma de câblage d’un décodeur 3 vers8 à l’aide de deux décodeur 2 vers 4



**Université Mohammed Khider de Biskra Biskra le : …/…/2017**



**Faculté des Sciences et de la Technologie**

**Nom et prénom du Grp N°….. :**

**1. ………………………………..**

**2. ………………………………..**

**3. ………………………………..**

**4. ………………………………..**

**5. …………………………….….**

**Département Sciences Techniques**

**2éme Licence tronc commun**

**Module : TP Logique**

1. **Manipulation :**

# Réaliser chaque circuit et vérifier le bon fonctionnement.

1. **Comparateur 8 bits**:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | | | | | | | | B | | | | | | | | S | E | I |
| A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |  |  |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |  |  |  |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |  |  |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |  |  |  |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |  |  |  |

1. **Additionneur complet (1bit) :**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Ci-1** | **A** | **B** | **Si** | **Ci** |
| 0 | 0 | 0 |  |  |
| 0 | 0 | 1 |  |  |
| 0 | 1 | 0 |  |  |
| 0 | 1 | 1 |  |  |
| 1 | 0 | 0 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 1 | 1 |  |  |

1. **Additionneur complet (8bits)**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | | | | | | | | B | | | | | | | | C | S8 | S7 | S6 | S5 | S4 | S3 | S2 | S1 |
| A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |  |

1. **Décodeur 3 vers 8 :**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | D | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 0 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |