

Exercice 1

Dans cet exercice, nous allons effectuer la synthèse d'un demi additionneur, d'un additionneur complet, et déduire par la suite et à partir de ces derniers le circuit logique représentant le complément à 2 sur n bits.

Notez que les deux circuits (demi-additionneur, et additionneur complet) peuvent être utilisé par exemple pour additionner deux mots (nombres binaires) de n bit chacun.

Demi additionneur : Il contient 2 bits d'entrées e_0 et e_1 , et deux fonctions de sorties s_0 (résultat) et r_0 (la retenue, le report). Il permet de faire l'addition simple de 2 bits. Il ne tient pas en compte une retenue (report) antérieure. Le schéma représentant un demi additionneur est donnée par :

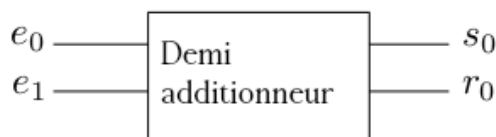


FIGURE 1 – Schéma d'un demi-additionneur

$$\begin{array}{r} R_0 \\ \textcircled{0} \\ 1 \\ + 0 \\ \hline \textcircled{1} S_0 \end{array}$$

FIGURE 2 – Exemple d'un demi additionneur.

La relation entre les entrées et les sorties (le circuit) est trouvée en appliquant l'opération de l'analyse (table de vérité, simplification, logigramme). C'est d'ailleurs ce qu'il faut faire dans cet exercice.

Additionneur : Il contient trois entrées : deux bits à additionner a_1, b_1 , et r_{i-1} une retenue provient d'un report précédent, et 2 sortie : résultat s_1 (résultat) et retenue r_1 (retenue). Voici le schéma d'un additionneur :

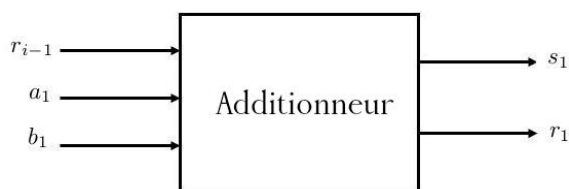


FIGURE 3 – Schéma d'un additionneur

$$\begin{array}{r} R_1 = 0 \quad R_0^{(R_{i-1})} \\ \textcircled{1} \\ 0 \quad 1 \quad a_1 \\ + \quad 1 \quad b_1 \\ \hline \textcircled{1} \textcircled{0} S_0 \\ S_1 \end{array}$$

FIGURE 4 – Exemple d'un additionneur complet.

Ces deux circuit vont nous permettre donc de calculer l'addition de deux nombres binaire à n bits, le complément à 2, etc.

Exemple : Dans cet exemple nous allons utiliser un demi additionneur et un additionneur pour calculer la somme de deux mots binaires (on peut aussi le faire en utilisant uniquement des additionneurs complets). Supposons que les deux nombres à additionner sont $a = 11$ et $b = 01$. Le schéma de l'addition sera de la forme données par la Figure 5. Le résultat de l'addition des deux nombres sera donc la concaténation des sorties s_i des circuits, il est égal donc à 100.

Remarques :

- Noter que s_i correspond au bit du rang 0 (poids faible), et r_i du rang 1 (poids fort) pour l'ensemble des circuits.
- Un additionneur complet s'obtient aussi en enchaînant des demi additionneurs par la propagation de la retenue (comme dans la figure 5 mais avec seulement des demi additionneurs).
- Le complément à deux s'obtient en inversant les bits, puis en rajoutant 1. Par exemple le complément à 2 de 0111 est 1001 (en inversant on obtient 1000, en rajoutant 1 on obtient 1001).

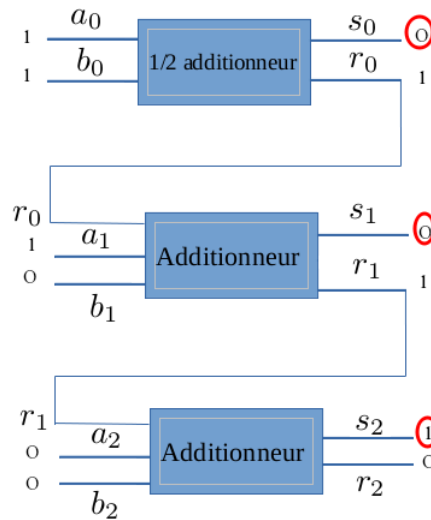


FIGURE 5 – Addition de deux mots en utilisant un demi additionneur et deux additionneurs.

A partir de informations décrites ci-dessus, ainsi que l'exemple donné, on peut maintenant répondre aux questions de l'exercice 1 à savoir :

1. Donner la table de vérité d'un demi-additionneur et d'un additionneur complet (2 bits et retenue),
2. Déterminer les équations des sorties (s : somme, r : retenue),
3. Dédire le circuit logique qui implémente le complément à 2 sur n bits en utilisant la définition d'un demi-additionneur et d'un additionneur complet vus en cours.

Exercice 2

Cet additionneur-soustracteur va nous permettre de faire soit l'addition soit la soustraction de deux nombre A et B (A et B représentés chacun sur 4 bits). Pour définir l'opération à réaliser, on doit utiliser un signal de sélection $cmd=0$ pour l'addition et $cmd = 1$ pour la soustraction. La soustarction de A et B peut être représentée par l'ajout de complément de B et à rajouter 1, c-à-d $A - B = A + \bar{B} + 1$.

Il faut donc trouver un moyen pour sélectionner B en cas d'addition ou \bar{B} en cas de soustraction (en rajoutant ou pas 1), et cela en terme de la valeur de cmd ?

$$- \quad cmd = 0 \Rightarrow A + \mathbf{B} + \mathbf{0}$$

$$- \quad cmd = 1 \Rightarrow A + \bar{\mathbf{B}} + \mathbf{1}$$